

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Seong-jin Hang  
Serial No.: To Be Assigned  
Filed: Concurrently Herewith

For: **SEMICONDUCTOR DEVICES WITH REFERENCE VOLTAGE  
GENERATORS AND TERMINATION CIRCUITS CONFIGURED TO  
REDUCE TERMINATION MISMATCH**

February 16, 2004

MS PATENT APPLICATION  
Commissioner for Patents  
Washington, DC 20231

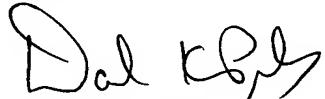
SUBMITTAL OF PRIORITY DOCUMENTS

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

10-2003-0018471, filed March 25, 2003.

Respectfully submitted,



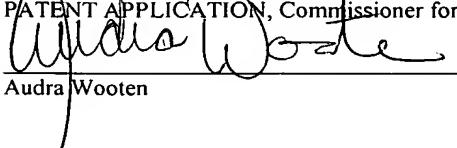
David K. Purks  
Registration No. 40,133

Myers Bigel Sibley & Sajovec, P.A.  
P. O. Box 37428  
Raleigh, North Carolina 27627  
Telephone: (919) 854-1400  
Facsimile: (919) 854-1401  
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No.: EV 381446125 US  
Date of Deposit: February 16, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
Audra Wooten



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0018471  
Application Number

출원년월일 : 2003년 03월 25일  
Date of Application MAR 25, 2003

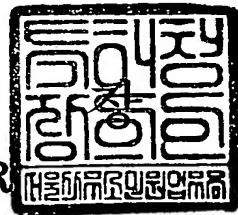
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 03 일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.03.25
【국제특허분류】	H03K
【발명의 명칭】	온-칩 터미네이션 저항의 미스매치를 보상할 수 있는 반도체 장치
【발명의 영문명칭】	Semiconductor device for compensating for on-chip termination mismatch
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	장성진
【성명의 영문표기】	JANG, Seong Jin
【주민등록번호】	650710-1358417
【우편번호】	463-829
【주소】	경기도 성남시 분당구 이매동 122 금강아파트 104동 704호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	7	면	7,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	19	항	717,000	원
【합계】	753,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

온-칩 터미네이션 저항의 미스매치를 보상할 수 있는 반도체 장치가 개시된다. 본 발명의 반도체 장치는 외부 신호가 입력되는 입력핀, 입력핀에 커플되는 온-칩 터미네이션 회로, 입력 버퍼 및 기준전압 발생기를 구비한다. 입력 버퍼는 외부 신호와 기준전압을 수신하고, 외부 신호를 내부 신호로 변환한다. 기준전압 발생기는 기준 전압을 발생하는 회로이다. 본 발명의 반도체 장치가 푸쉬-풀 구조의 출력 드라이버를 가지는 경우, 기준전압 발생기는 온-칩 터미네이션 회로와 실질적으로 동일한 구성을 가지는 것이 바람직하다. 본 발명의 반도체 장치가 오픈-드레인 구조의 출력 드라이버를 가지는 경우, 기준전압 발생기는 터미네이션 저항과 실질적으로 동일한 저항 및 풀다운 드라이버로 구성되는 것이 바람직하다. 본 발명에 의하면, 온-칩 터미네이션 저항의 오차 및 미스매치가 자동으로 보상된다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

온-칩 터미네이션 저항의 미스매치를 보상할 수 있는 반도체 장치

{Semiconductor device for compensating for on-chip termination mismatch}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 통상적인 반도체 장치를 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 반도체 장치를 나타내는 도면이다.

도 3은 본 발명의 다른 일 실시예에 따른 반도체 장치를 나타내는 도면이다

도 4a 및 도 4b는 각각 푸쉬-풀 드라이버 및 오픈-드레인 구조의 출력 드라이버를 나타내는 도면이다.

도 5a 내지 도 5b는 도 1에 도시된 반도체 장치 및 도 2에 도시된 본 발명의 일 실시예에 따른 반도체 장치의 입력신호 파형을 나타내는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 장치에 관한 것으로, 특히 온-칩 터미네이션 저항을 구비하는 반도체 장치에서 온-칩 터미네이션 저항의 미스매치(mismatch)를 보상할 수 있는 기준 전압을 발생하는 회로에 관한 것이다.

<8> 신호를 주고 받는 시스템에서는 일반적으로 임피던스 정합을 위하여 버스(bus)를 종단하는 종단 저항(termination resistor)이 사용된다. 종단 저항은 신호의 반사를 억제함으로써 수신되는 신호의 충실도(signal integrity)를 높이는 역할을 한다.

<9> 종단 저항은 반도체 장치의 외부에 위치하기도 하고, 반도체 장치의 내부에 위치하기도 한다. 반도체 장치의 내부에 위치하는 종단 저항을 온-칩 터미네이션(on-chip termination) 저항 또는 온-다이 터미네이션(on-die termination) 저항이라고 한다.

<10> 반도체 장치 내에서 온-칩 터미네이션 저항은 입력핀에 커플(couple)된다. 입력핀을 통해 입력되는 신호는 입력 버퍼에서 소정의 기준 전압과 비교되어 반도체 장치의 내부 신호로 변환된다. 따라서, 기준 전압이 입력 신호의 교차점(cross point)과 같아야, 입력 신호가 내부 신호로 변환될 때 오류 발생 가능성 이 최소화된다.

<11> 통상적으로 기준 전압은 일정한 전압 레벨을 가지며, 외부에서 인가된다. 그런데, 입력핀에 커플되는 온-칩 터미네이션 저항에 미스매치(mismatch)가 발생하면 입력 신호의 교차점이 기준전압과 달라진다.

<12> 도 1은 통상적인 반도체 장치(100)를 나타내는 도면이다. 이를 참조하면, 기준 전압(VREF)이 핀(111)을 통하여 반도체 장치(100)의 외부로부터 입력된다. 일반적으로 기준 전압(VREF)은 전원 전압(VDDQ)의 약 1/2이다. 온-칩 터미네이션 저항(RU, RD)에 커플되어 있는 입력핀들(112, 113)을 통하여 입력되는 신호(IS1, IS2)는 입력 버퍼(121, 122)에서 기준 전압(VREF)과 비교되어 내부 신호(CS1, CS2)로 각각 변환된다. 온-칩 터미네이션 저항(RU, RD)은 도 1에 도시된 바와 같이, 풀업 터미네이션 저항(RU)과 풀다운 터미네이션 저항(RD)으로 구성된다. 그런데, 풀업 터미네이션 저항(RU)과 풀다운 터미네이션 저항(RD)간에 미스매치가 발생하면 입력 신호(IS1, IS2)의 교차점이 기준 전압(VREF)과 달라진다. 터미네이션 저항(RU, RD)간의 미스매치는 풀업 터미네이션 저항(RU)과 풀다운 터미네이션 저항(RD)의 저항값을 조절하는 코드(CD1, CD2)간의 미스매치로 인하여 발생될 수 있다. 코드(CD1, CD2)는 외부에서 입력될 수도 있고, 외부 저항(미도시)을 모니터링하여 코드(CD1, CD2)를 발생하는 내부 회로(미도시)로부터 출력될 수도 있다.

<13> 터미네이션 저항(RU, RD)간에 미스매치가 발생하면, 입력 신호(IS1, IS2)의 교차점이 달라진다. 입력신호(IS1, IS2)의 교차점을 기준으로 로직 로우레벨/로직 하이레벨의 내부 신호로 변환되어야 입력 신호의 하이레벨 신호 또는 로우레

벨 신호가 손상없이 변환될 수 있다. 그런데, 일정한 기준 전압(VREF)을 기준으로 입력신호(IS1, IS2)를 변환함에 따라 오류 발생 가능성이 증가한다.

#### 【발명이 이루고자 하는 기술적 과제】

<14> 따라서 본 발명이 이루고자 하는 기술적 과제는 온-칩 터미네이션 회로의 오차 및 미스매치를 자동으로 보상하는 기준 전압 발생기를 구비함으로써, 입력 신호의 하이레벨 신호/로우레벨 신호의 손상을 줄여 오류 발생 가능성을 줄이는 반도체 장치를 제공하는 것이다.

#### 【발명의 구성 및 작용】

<15> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 장치는 외부 신호가 입력되는 입력핀; 상기 입력핀에 커플되는 제1 온-칩 터미네이션 회로; 상기 외부 신호와 제1 기준전압을 수신하고, 상기 외부 신호를 내부 신호로 변환하는 제1 입력버퍼; 및 상기 제1 기준 전압을 발생하는 제1 기준전압 발생기를 구비하며, 상기 제1 기준전압 발생기는 상기 제1 온-칩 터미네이션 회로에 포함되는 적어도 하나의 소자와 실질적으로 동일한 소자를 포함한다.

<16> 바람직하기로는, 상기 제1 온-칩 터미네이션 회로는 풀업 코드에 응답하여 저항값이 가변되는 풀업 터미네이션 저항; 및 풀다운 코드에 응답하여 저항값이 가변되는 풀다운 터미네이션 저항을 포함한다.

<17> 또한, 바람직하기로는, 상기 제1 기준전압 발생기는 상기 풀업 코드에 응답하여 저항값이 가변되는 제1 저항; 및 상기 제1 저항에 직렬로 연결되며, 상기 풀다운 코드에 응답하여 저항값이 가변되는 제2 저항을 포함한다.

<18> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일 실시예에 따른 반도체 장치는 외부 신호가 입력되는 입력핀; 상기 입력핀에 커플되며, 제1 전원 전압과 상기 입력핀 사이에 배치되는 풀업 터미네이션 저항과 상기 입력핀과 제2 전원 전압 사이에 배치되는 풀다운 터미네이션 저항을 포함하는 온-칩 터미네이션 회로; 상기 외부 신호를 기준전압과 비교하여 내부 신호로 변환하는 입력버퍼; 및 상기 기준 전압을 발생하는 기준전압 발생기를 구비하며, 상기 기준전압 발생기는 상기 온-칩 터미네이션 회로와 실질적으로 동일한 구성을 가진다.

<19> 바람직하기로는, 상기 기준전압 발생기는 상기 제1 전원 전압과 상기 제2 전원 전압 사이에 직렬로 연결되는 제1 저항 및 제2 저항을 포함한다.

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 일 실시예에 따른 반도체 장치는 외부 신호가 입력되는 입력핀; 상기 입력핀에 커플되며, 제1 전원 전압과 상기 입력핀 사이에 배치되는 터미네이션 저항을 포함하는 온-칩 터미네이션 회로; 상기 외부 신호를 기준전압과 비교하여 내부 신호로 변환하는 입력버퍼; 및 상기 기준 전압을 발생하는 기준전압 발생기를 구비하며, 상기 기준전압 발생기는 상기 터미네이션 저항과 실질적으로 동일한 저항값을 가지는 기준전압 저항을 포함한다. 바람직하기로는, 상기 반도체 장치는 상기 입력핀에 커플되며, 상기 입력핀과 제2 전원 전압 사이에 배치되는 풀다운 드라이버를 더 구비한다.

<21> 또한 바람직하기로는, 상기 기준전압 발생기는 상기 기준전압 저항에 직렬로 연결되는 기준전압 드라이버로서, 상기 풀다운 드라이버와 실질적으로 동일한 구성을 가지는 상기 기준전압 드라이버를 더 포함한다.

<22> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<23> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<24> 도 2는 본 발명의 일 실시예에 따른 반도체 장치(200)를 나타내는 도면이다. 이를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치(200)는 다수의 입력핀들(211~215), 온-칩 터미네이션 회로들(221~224), 입력 버퍼들(231~234), 기준전압 발생기들(241, 242) 및 캘리브레이션 회로(250)를 구비한다.

<25> 입력핀들(211~215)을 통하여 외부 신호가 내부로 입력된다. 입력핀들(211~215)은 내부 신호를 외부로 출력하는 출력핀 역할을 할 수도 있다. 출력핀들(211~214)에는 온-칩 터미네이션 회로(211~224)가 각각 커플된다.

<26> 각 온-칩 터미네이션 회로(221~222)는 전원 전압(VDDQ)과 접지 전압 사이에 직렬로 연결되는 풀업 터미네이션 저항(RU1)과 풀다운 터미네이션 저항(RD1)을 포함한다. 즉, 풀업 터미네이션 저항(RU1)은 전원 전압(VDDQ)과 입출력 핀(211, 212) 사이에 연결되고, 풀다운 터미네이션 저항(RD1)은 입출력 핀(211, 212)과 접지 전압 사이에 연결된다. 풀업 터미네이션 저항(RU1)은 후술되는 캘리브레이션 회로(250)로부터 출력되는 풀업 코드(CODE1)에 응답하여 저항값이 가변되는 가변 저항이다. 풀다운 터미네이션 저항(RD1)은 풀다운 코드(CODE2)에 응답하여 저항값이 가변된다. 풀업 터미네이션 저항(RU1) 및 풀다운 터미네이션 저항(RD1)

은 단순히 저항으로 표현되지만, 실제 구현시에는 모오스(MOS) 트랜지스터를 포함하여 구성될 수 있다.

<27> 각 온-칩 터미네이션 회로(223~224)는 온-칩 터미네이션 회로(221~222)와 마찬가지로 전원 전압(VDDQ)과 접지 전압 사이에 직렬로 연결되는 풀업 터미네이션 저항(RU2)과 풀다운 터미네이션 저항(RD2)을 포함한다. 다만, 풀업 터미네이션 저항(RU1, RU2)의 값이 상호 다르고, 풀다운 터미네이션 저항(RD1, RD2)의 값이 상호 다르다. 풀업 터미네이션 저항(RU2)은 풀업 코드(CODE3)에 응답하여 저항값이 가변되는 가변되고, 풀다운 터미네이션 저항(RD2)은 풀다운 코드(CODE4)에 응답하여 저항값이 가변된다.

<28> 입력 버퍼(231, 232)는 외부로부터 수신되는 입력 신호(IS1, IS2)와 기준전압 발생기(241)로부터 출력되는 기준전압(VREF1)을 수신하고, 입력 신호(IS1, IS2)를 기준전압(VREF1)과 비교하여 내부 신호(CS1, CS2)로 각각 변환한다. 입력 버퍼(233, 234)는 외부로부터 수신되는 입력 신호(IS3, IS4)와 기준전압 발생기(242)로부터 출력되는 기준전압(VREF2)을 수신하고, 입력 신호(IS3, IS4)를 기준전압(VREF2)과 비교하여 내부 신호(CS3, CS4)로 각각 변환한다.

<29> 기준전압 발생기(241, 242)는 기준전압(VREF1, VREF2)을 발생하는 회로로서, 온-칩 터미네이션 회로(221~224)에 포함되는 적어도 하나의 소자와 실질적으로 동일한 소자를 포함하여 구성된다. 기준전압 발생기(241, 242)는 온-칩 터미네이션 회로(221~224)의 복제(replica) 회로인 것이 바람직하다. 즉, 기준전압 발생기(241, 242)는 온-칩 터미네이션 회로(221~224)와 실질적으로 동일한 구성을 가지는 것이 바람직하다.

<30> 본 실시예에서는 두 종류의 온-칩 터미네이션 회로가 구비된다. 즉, RU1과 RD1을 포함하는 온-칩 터미네이션 회로(221, 222)와 RU2와 RD2를 포함하는 온-칩 터미네이션 회로(223, 224)이다. 따라서, 기준전압 발생기 역시 두 개가 구비되는 것이 바람직하다.

<31> 하나의 기준전압 발생기(241)는 RU1과 RD1을 포함하는 온-칩 터미네이션 회로(221, 222)와 실질적으로 동일한 구조를 가진다. 즉, 전원 전압(VDDQ)과 접지 전압 사이에 직렬로 연결되는 제1 저항(R1)과 제2 저항(R2)을 포함한다. 제1 저항(R1) 및 제2 저항(R2)은 풀업 터미네이션 저항(RU1) 및 풀다운 터미네이션 저항(RD1)의 복제인 것이 바람직하다. 제1 저항(R1)과 제2 저항(R2)이 연결되는 노드(ND1)로부터 기준 전압(VREF1)이 출력된다. 제1 저항(R1)은 풀업 터미네이션 저항(RU1)을 제어하는 풀업 코드(CODE1)에 응답하여 그 저항값이 가변되고, 제2 저항(R2)은 풀다운 터미네이션 저항(RD1)을 제어하는 풀다운 코드(CODE2)에 응답하여 그 저항값이 가변된다.

<32> 다른 하나의 기준전압 발생기(242)는 RU2과 RD2을 포함하는 온-칩 터미네이션 회로(223, 224)와 동일한 구조를 가진다. 즉, 전원 전압(VDDQ)과 접지 전압 사이에 직렬로 연결되는 제3 저항(R3)과 제4 저항(R4)을 포함한다. 제3 저항(R3) 및 제4 저항(R4)은 풀업 터미네이션 저항(RU2) 및 풀다운 터미네이션 저항(RD2)의 복제인 것이 바람직하다. 제3 저항(R3)과 제4 저항(R4)이 연결되는 노드(ND2)로부터 기준 전압(VREF2)이 출력된다. 제3 저항(R3)은 풀업 터미네이션 저항(RU2)을 제어하는 풀업 코드(CODE3)에 응답하여 그 저항값이 가변되고, 제4 저항

(R4)은 풀다운 터미네이션 저항(RD2)을 제어하는 풀다운 코드(CODE4)에 응답하여 그 저항값이 가변된다.

<33> 캘리브레이션 회로(250)는 외부에 연결된 외부 저항(REXT)을 모니터링하여 제1 코드 셋(CODE1, CODE2) 및 제2 코드 셋(CODE3, CODE4)을 발생한다. 외부 저항(REXT)은 입력핀(215)과 접지 전압 사이에 연결된다. 일반적으로, 온-칩 터미네이션 저항을 사용자가 가변할 수 있도록 반도체 장치 외부에 외부 저항(REXT)을 연결할 수 있게 한다. 캘리브레이션 회로(250)는 사용자가 반도체 장치의 외부에 연결한 외부 저항(REXT)값을 감지하여, 온-칩 터미네이션 저항들 (RU1, RD1, RU2, RD2)을 각각 소정의 저항값으로 제어하는 코드들(CODE1~CODE4)을 발생하게 된다.

<34> 상술한 바와 같이, 본 실시예에서 기준전압 발생기(241)는 온-칩 터미네이션 회로(221~222)와 동일한 구성을 가진다. 그리고, 기준전압 발생기(241)를 구성하는 제1 및 제2 저항(R1, R2)은 온-칩 터미네이션 회로(221~222)의 풀업 터미네이션 저항(RU1)과 풀다운 터미네이션 저항(RD1)을 제어하는 동일한 코드(CODE1, CODE2)에 응답하여 가변된다. 따라서 온-칩 터미네이션 회로(221~222)의 풀업 터미네이션 저항(RU1)과 풀다운 터미네이션 저항(RD1)간에 미스매치가 발생하면, 기준전압 발생기(241)의 제1 저항(R1)과 제2 저항(R2)간에 동일하게 미스매치가 발생한다. 따라서, 온-칩 터미네이션 회로(221, 222)에 생기는 미스매치가 자동적으로 보상된다.

<35> 기준전압 발생기(242)와 온-칩 터미네이션 회로(223, 224)의 관계도 기준전압 발생기(241)와 온-칩 터미네이션 회로(221, 222)의 관계와 같다. 따라서 온-

칩 터미네이션 회로(223, 224)의 풀업 터미네이션 저항(RU2)과 풀다운 터미네이션 저항(RD2)간에 미스매치가 발생하면, 기준전압 발생기(242)의 제3 저항(R3)과 제4 저항(R4)간에 동일하게 미스매치가 발생한다. 따라서, 온-칩 터미네이션 회로(223, 224)에 생기는 미스매치가 자동적으로 보상된다.

<36> 본 실시예에서는 터미네이션 저항값의 종류에 따라 두 종류의 온-칩 터미네이션 회로가 구비된다. 따라서, 기준전압 발생기 역시 두 종류가 구비된다. 그러나, 온-칩 터미네이션 회로의 종류에 따라 구비되는 기준 전압 발생기의 수 역시 가변될 수 있으며, 이에 따라 캘리브레이션 회로에 발생하는 코드 셋(풀업 코드 및 풀다운 코드) 역시 가변될 수 있다.

<37> 도 2에 도시된 본 발명의 일 실시예에 따른 반도체 장치는 출력핀에 커플되는 푸쉬-풀(push-pull) 구조의 출력 드라이버를 더 구비하는 것이 바람직하다. 통상의 푸쉬-풀 드라이버(260)가 도 4a에 도시된다. 도 2에 도시된 입력핀들(211~214)은 출력핀의 역할까지 겸하는 것으로 가정한다. 푸쉬-풀 드라이버(260)는 출력핀의 역할도 하는 입력핀(211~214)에 각각 커플되며, 전원 전압(VDDQ)과 입력핀(211~214) 사이에 배치되는 풀업 드라이버(TU)와 입력핀(211~214)과 접지전압 사이에 배치되는 풀다운 드라이버(TD)를 포함한다.

<38> 출력 드라이버가 푸쉬-풀 구조인 경우에는, 도 2에 도시된 바와 같이, 풀업 터미네이션 저항과 풀다운 터미네이션 저항을 포함하는 온-칩 터미네이션 회로(211~214)가 사용되는 것이 바람직하다. 그리고, 기준전압 발생기(241, 242)는 상술한 바와 같이, 온-칩 터미네이션 회로(211~214)와 동일한 구성을 가지는 것이 바람직하다.

<39> 도 3은 본 발명의 다른 일 실시예에 따른 반도체 장치(300)를 나타내는 도면이다. 이를 참조하면, 본 발명의 다른 일 실시예에 따른 반도체 장치(300)는 다수의 입력핀들(311~312), 온-칩 터미네이션 회로들(321, 322), 입력 버퍼들(331, 332), 기준 전압 발생기(340) 및 캘리브레이션 회로(350)를 구비한다.

<40> 입력핀들(311, 312)에는 온-칩 터미네이션 회로(321, 322)가 각각 커플된다.

<41> 각 온-칩 터미네이션 회로(321, 322)는 전원 전압(VDDQ)과 입출력 핀(311, 312)사이에 각각 연결되는 터미네이션 저항(RT)를 포함한다. 터미네이션 저항(RT)은 후술되는 캘리브레이션 회로(350)에서 출력되는 제1 코드(CODE1)에 응답하여 저항값이 가변된다.

<42> 입력 버퍼(331, 332)는 외부로부터 수신되는 입력 신호(IS1, IS2)와 기준전압 발생기(340)로부터 출력되는 기준전압(VREF)을 수신하고, 입력 신호(IS1, IS2)를 기준전압(VREF)과 비교하여 내부 신호(CS1, CS2)로 각각 변환한다.

<43> 기준전압 발생기(340)는 기준전압(VREF)을 발생하는 회로로서, 터미네이션 저항(RT)과 실질적으로 동일한 저항값을 가지는 저항을 포함하는 것이 바람직하다. 구체적으로는 기준전압 발생기(340)는 전원 전압(VDDQ)과 접지전압 사이에 직렬로 연결되는 제1 및 제2 저항(R1, R2)과 기준전압 드라이버(TDR)를 포함한다. 제1 및 제2 저항(R1, R2)은 터미네이션 저항(RT)의 반값을 각각 복제(replica)한 것이 바람직하다. 즉, 제1 및 제2 저항(R1, R2)의 전체 저항값이 터미네이션 저항(RT)의 저항값과 실질적으로 동일한 것이 바람직하다. 제1 및 제2 저항(R1, R2)은 캘리브레이션 회로(350)로부터 출력되는 제2 코드(CODE2)에 응답하여

그 저항값이 가변된다. 제2 코드(CODE2)는 제1 및 제2 저항(R1, R2)의 각 저항값이 제2 코드(CODE2)에 의해 정해지는 터미네이션 저항(RT)의 저항값의 약 1/2이 될 수 있게 하는 값을 가지는 것이 바람직하다.

<44> 본 발명의 다른 일 실시예에 따른 반도체 장치는 도 4b에 도시된 오픈-드레인(open-drain) 구조의 출력 드라이버(360)를 더 구비하는 것이 바람직하다. 입력핀(311, 312)이 출력핀을 역할을 겸하는 것으로 가정한다. 따라서, 출력 드라이버(360)는 입력핀(311, 312)에 커플되며, 입력핀(311, 312)와 접지 전압 사이에 배치되는 풀다운 드라이버(360)를 포함한다. 기준전압 드라이버(TDR)는 출력 드라이버(360)에 사용되는 풀다운 드라이버(TD)를 복제한 것이 바람직하다.

<45> 기준전압(VREF)은 제1 및 제2 저항(R1, R2)이 직렬로 연결된 노드(ND)로부터 출력된다. 제1 및 제2 저항(R1, R2)을 합쳐서 기준전압 저항이라 할 때, 기준전압 저항의 가운데 지점으로부터 기준전압(VREF)이 출력되는 것이 바람직하다.

<46> 이 때, 기준전압 발생기로부터 발생되는 기준전압(VREF)은 다음의 수학식과 같다.

<47> **【수학식 1】** 
$$VREF = VDDQ - \left( \frac{VDDQ - VOL}{2} \right)$$

<48> 여기서, VOL은 입력 신호(IS1, IS2)의 로우 전압 레벨이다.

<49> 입력 신호(IS1, IS2)는 VDDQ와 VOL 간을 스윙한다.  $\left( \frac{VDDQ - VOL}{2} \right)$ 은 입력 신호(IS1, IS2)의 스윙폭의 1/2을 나타내므로, VREF는 VDDQ와 VOL 사이의 가운데 전압 레벨을 나타낸다.

<50> 캘리브레이션 회로(350)는 외부에 연결된 외부 저항(REXT)을 모니터링하여 코드 셋(CODE1, CODE2)을 발생한다. 본 발명의 다른 일 실시예에서는 하나의 기준전압 발생기가 구비되지만, 본 발명의 일 실시예에서와 마찬가지로 온-칩 터미네이션 회로의 종류에 따라 두 개 이상의 기준전압 발생기가 구비될 수 있다.

<51> 상술한 바와 같이, 본 실시예에서 기준전압 발생기(340)는 온-칩 터미네이션 회로(321~322)에 사용되는 저항(RT)을 복제한 저항(R1, R2)을 가진다. 따라서 온-칩 터미네이션 회로(321~322)의 터미네이션 저항(RT)이 원하는 저항값에서 오차를 가지면, 기준전압 발생기(340)의 제1 저항(R1)과 제2 저항(R2)도 오차를 가진다. 따라서, 온-칩 터미네이션 회로(321, 322)에 생기는 오차가 자동적으로 보상된다.

<52> 상술한 본 발명의 일 실시예들에서는 반도체 장치 내부의 기준 전압 발생기로부터 발생된 기준전압이 입력버퍼로 입력되어, 입력 신호를 내부 신호로 변환하는데 사용된다. 그러나, 본 발명의 반도체 장치는, 상술한 내부 기준전압 발생기로부터 발생되는 기준전압을 입력버퍼로 제공할 수도 있고, 외부로부터 입력되는 기준전압을 수신하여 입력버퍼로 제공할 수도 있도록 변형될 수도 있다. 즉, 본 발명의 반도체 장치는 내부 기준전압 발생기로부터 발생되는 기준전압과 외부에서 입력되는 기준전압을 선택적으로 사용할 수 있도록 구현될 수도 있다.

<53> 도 5a 내지 도 5d는 도 1에 도시된 반도체 장치 및 도 2에 도시된 본 발명의 일 실시예에 따른 반도체 장치의 입력신호 파형을 나타내는 도면이다. 각 반도체 장치에서 풀업 터미네이션 저항(도 1의 RU, 도 2의 RU1)과 풀다운 터미네이션 저항(도 1의 RD, 도 2의 RD1)이 각각  $120\Omega$ 으로 설정되는 것이 바람직하고,

VDDQ는 1.8V이며, 외부에서 입력되는 외부 기준전압(VREF\_EXT)은 VDDQ/2, 즉 0.9V인 것으로 가정한다.

<54> 먼저, 도 5a는 풀업 터미네이션 저항과 풀다운 터미네이션 저항이 각각 120 $\Omega$ 으로 설정된 경우이다.

<55> 도 5b는 풀업 터미네이션 저항과 풀다운 터미네이션 저항이 동일한 오차를 가지고 각각 132 $\Omega$ 으로 설정된 경우이다. 즉, 풀업 터미네이션 저항과 풀다운 터미네이션 저항이 동일하게 120 $\Omega$  보다 10% 정도 더 큰 값을 갖도록 설정된 경우이다.

<56> 도 5c는 풀업 터미네이션 저항과 풀다운 터미네이션 저항이 동일한 오차를 가지고 각각 108 $\Omega$ 으로 설정된 경우이다. 즉, 풀업 터미네이션 저항과 풀다운 터미네이션 저항이 동일하게 120 $\Omega$  보다 10% 정도 더 적은 값을 갖도록 설정된 경우이다.

<57> 도 5a, 5b 및 5c의 경우에, 도 1에 도시된 반도체 장치의 입력 신호 파형과 및 도 2에 도시된 본 발명의 일 실시예에 따른 반도체 장치의 입력 신호 파형은 동일하다. 그리고, 본 발명의 일 실시예에 따른 반도체 장치의 기준전압 발생기에서 발생되는 기준전압(이하, 내부 기준전압)(VREF\_ODT) 역시 약 0.9V인 외부 기준전압(VTRF\_EXT)과 거의 동일하다.

<58> 도 5d는 풀업 터미네이션 저항과 풀다운 터미네이션 저항이 각각 132 $\Omega$ , 108 $\Omega$ 으로 설정되어 미스매치가 발생한 경우이다. 이 경우, 입력 신호는 약 0.876V에서 교차한다. 이 경우에 외부 기준전압(VREF\_EXT)은 0.9V로 일정하지만,

본 발명의 일 실시예에 따른 기준전압 발생기에서 발생되는 내부 기준전압 (VREF\_ODT)은 약 0.872V로서 입력 신호의 교차전압과 매우 유사하다. 따라서, 도 5d의 경우에, 통상의 반도체 장치에 의하면, 입력 신호가 교차전압과 다른 기준 전압을 이용하여 변환됨으로써 66ps 정도의 큰 스케이프(skew)가 발생된다. 반면, 본 발명의 일 실시예에 따른 반도체 장치에 의하면, 입력 신호가 교차전압과 유사한 기준전압을 이용하여 변환됨으로써 스케이프가 45ps 정도 감소된다.

<59> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<60> 본 발명에 의하면, 온-칩 터미네이션 저항의 오차 및 미스매치가 자동으로 보상된다. 따라서, 입력신호의 하이레벨 신호/로우레벨 신호의 손상이 줄어들어, 오류 발생 가능성 및 신호의 스케이프가 감소하는 효과가 있다.

**【특허청구범위】****【청구항 1】**

외부 신호가 입력되는 입력핀;

상기 입력핀에 커플되는 제1 온-칩 터미네이션 회로;

상기 외부 신호와 제1 기준전압을 수신하고, 상기 외부 신호를 내부 신호로  
변환하는 제1 입력버퍼; 및

상기 제1 기준 전압을 발생하는 제1 기준전압 발생기를 구비하며,

상기 제1 기준전압 발생기는

상기 제1 온-칩 터미네이션 회로에 포함되는 적어도 하나의 소자와 실질적  
으로 동일한 소자를 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 2】**

제 1 항에 있어서, 상기 제1 온-칩 터미네이션 회로는

풀업 코드에 응답하여 저항값이 가변되는 풀업 터미네이션 저항; 및

풀다운 코드에 응답하여 저항값이 가변되는 풀다운 터미네이션 저항을 포함  
하는 것을 특징으로 하는 반도체 장치.

**【청구항 3】**

제 2 항에 있어서, 상기 제1 기준전압 발생기는

상기 풀업 코드에 응답하여 저항값이 가변되는 제1 저항; 및

상기 제1 저항에 직렬로 연결되며, 상기 풀다운 코드에 응답하여 저항값이  
가변되는 제2 저항을 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 4】**

제 2 항에 있어서, 상기 반도체 장치는

상기 반도체 장치의 외부에 연결된 외부 저항을 모니터링하여 상기 풀업 코드 및 상기 풀다운 코드를 발생하는 캘리브레이션 회로를 더 구비하는 것을 특징으로 하는 반도체 장치.

**【청구항 5】**

제 1 항에 있어서, 상기 제1 온-칩 터미네이션 회로는

제1 코드에 응답하여 저항값이 가변되는 터미네이션 저항을 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 6】**

제 5 항에 있어서, 상기 제1 기준전압 발생기는

상기 제1 코드에 응답하여 저항값이 가변되는 기준전압 저항; 및 상기 기준전압 저항에 직렬로 연결되는 풀다운 드라이버를 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 7】**

제 6 항에 있어서, 상기 제1 기준전압은

상기 기준전압 저항의 가운데 지점에서 출력되는 것을 특징으로 하는 반도체 장치.

**【청구항 8】**

제 1 항에 있어서, 상기 반도체 장치는

소정의 선택 신호에 응답하여, 상기 제1 기준전압 발생기로부터 출력되는 상기 제1 기준전압 대신에 외부로부터 입력되는 전압을 상기 제1 기준전압으로서 상기 제1 입력 버퍼에 제공하는 것을 특징으로 하는 반도체 장치.

### 【청구항 9】

제 1 항에 있어서, 상기 반도체 장치는

제 2 온-칩 터미네이션 회로;

제2 기준전압을 수신하여 외부 신호를 내부 신호로 변환하는 제2 입력버퍼;

및

상기 제2 온-칩 터미네이션에 포함되는 적어도 하나의 소자와 실질적으로 동일한 소자를 포함하며, 상기 제2 기준 전압을 발생하는 제2 기준전압 발생기를 더 구비하는 것을 특징으로 하는 반도체 장치.

### 【청구항 10】

외부 신호가 입력되는 입력핀;

상기 입력핀에 커플되며, 제1 전원 전압과 상기 입력핀 사이에 배치되는 풀업 터미네이션 저항과 상기 입력핀과 제2 전원 전압 사이에 배치되는 풀다운 터미네이션 저항을 포함하는 온-칩 터미네이션 회로;

상기 외부 신호를 기준전압과 비교하여 내부 신호로 변환하는 입력버퍼; 및

상기 기준 전압을 발생하는 기준전압 발생기를 구비하며,

상기 기준전압 발생기는

상기 온-칩 터미네이션 회로와 실질적으로 동일한 구성을 가지는 것을 특징으로 하는 반도체 장치.

#### 【청구항 11】

제 10 항에 있어서, 상기 기준전압 발생기는 상기 제1 전원 전압과 상기 제2 전원 전압 사이에 직렬로 연결되는 제1 저항 및 제2 저항을 포함하는 것을 특징으로 하는 반도체 장치.

#### 【청구항 12】

제 11 항에 있어서,  
상기 풀업 터미네이션 저항과 상기 제1 저항은 풀업 코드에 응답하고, 상기 풀다운 터미네이션 저항과 상기 제2 저항은 풀다운 코드에 응답하는 것을 특징으로 하는 반도체 장치.

#### 【청구항 13】

제 12 항에 있어서, 상기 반도체 장치는 상기 반도체 장치의 외부에 연결된 외부 저항을 모니터링하여 상기 풀업 코드 및 상기 풀다운 코드를 발생하는 캘리브레이션 회로를 더 구비하는 것을 특징으로 하는 반도체 장치.

#### 【청구항 14】

제 11 항에 있어서, 상기 반도체 장치는 상기 입력핀에 커플되며, 상기 제1 전원 전압과 상기 입력핀 사이에 배치되는 풀업 드라이버와 상기 입력핀과 상기 제2 전원 전압 사이에 배치되는 풀다운

드라이버를 포함하는 푸쉬-풀 드라이버를 더 구비하는 것을 특징으로 하는 반도체 장치.

#### 【청구항 15】

외부 신호가 입력되는 입력핀;

상기 입력핀에 커플되며, 제1 전원 전압과 상기 입력핀 사이에 배치되는 터미네이션 저항을 포함하는 온-칩 터미네이션 회로;

상기 외부 신호를 기준전압과 비교하여 내부 신호로 변환하는 입력버퍼; 및

상기 기준 전압을 발생하는 기준전압 발생기를 구비하며,

상기 기준전압 발생기는

상기 터미네이션 저항과 실질적으로 동일한 저항값을 가지는 기준전압 저항을 포함하는 것을 특징으로 하는 반도체 장치.

#### 【청구항 16】

제 15 항에 있어서, 상기 반도체 장치는

상기 입력핀에 커플되며, 상기 입력핀과 제2 전원 전압 사이에 배치되는 풀다운 드라이버를 더 구비하는 것을 특징으로 하는 반도체 장치.

#### 【청구항 17】

제 16 항에 있어서,

상기 기준전압 발생기는 상기 기준전압 저항에 직렬로 연결되는 기준전압 드라이버로서, 상기 풀다운 드라이버와 실질적으로 동일한 구성을 가지는 상기 기준전압 드라이버를 더 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 18】

제 17 항에 있어서, 상기 기준전압은 상기 기준전압 저항의 가운데 지점에서 출력되는 것을 특징으로 하는 반도체 장치.

【청구항 19】

제 17 항에 있어서,  
상기 터미네이션 저항과 상기 기준전압 저항은 상기 반도체 장치의 외부에 연결된 외부 저항을 모니터링하여 생성된 코드에 응답하는 것을 특징으로 하는 반도체 장치 .

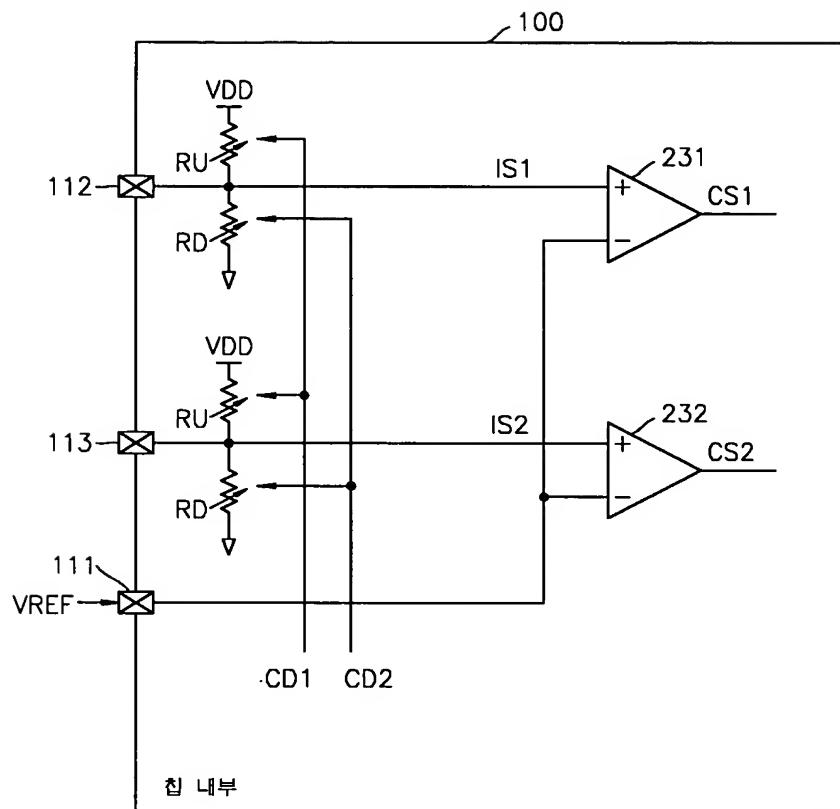


1020030018471

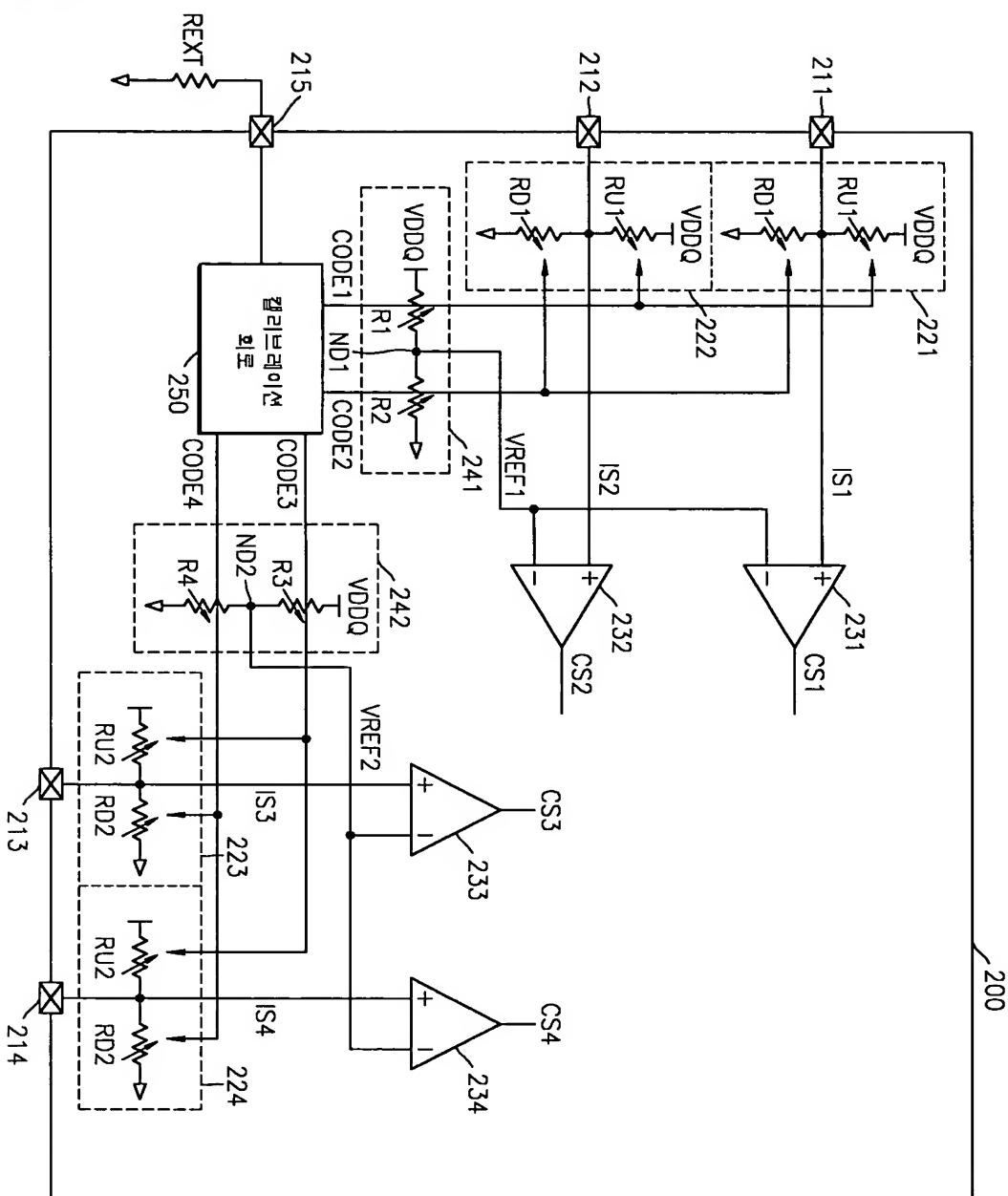
출력 일자: 2003/9/8

【도면】

【도 1】



## 【도 2】

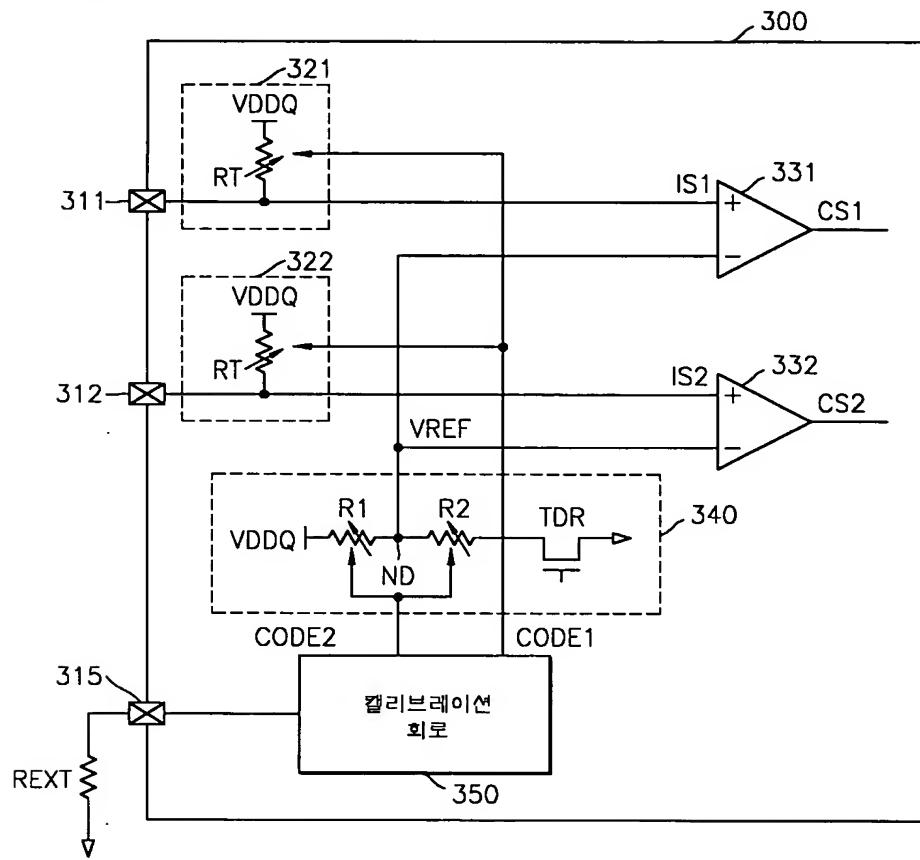




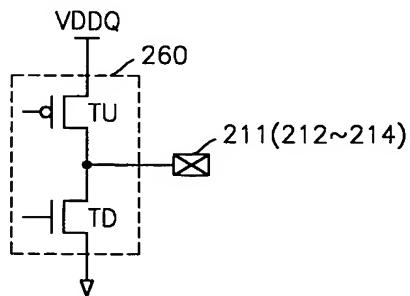
1020030018471

출력 일자: 2003/9/8

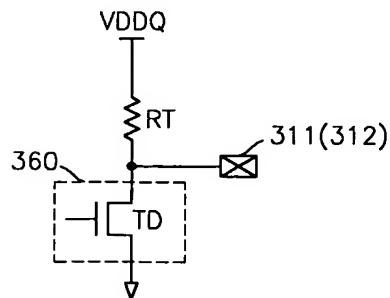
【도 3】



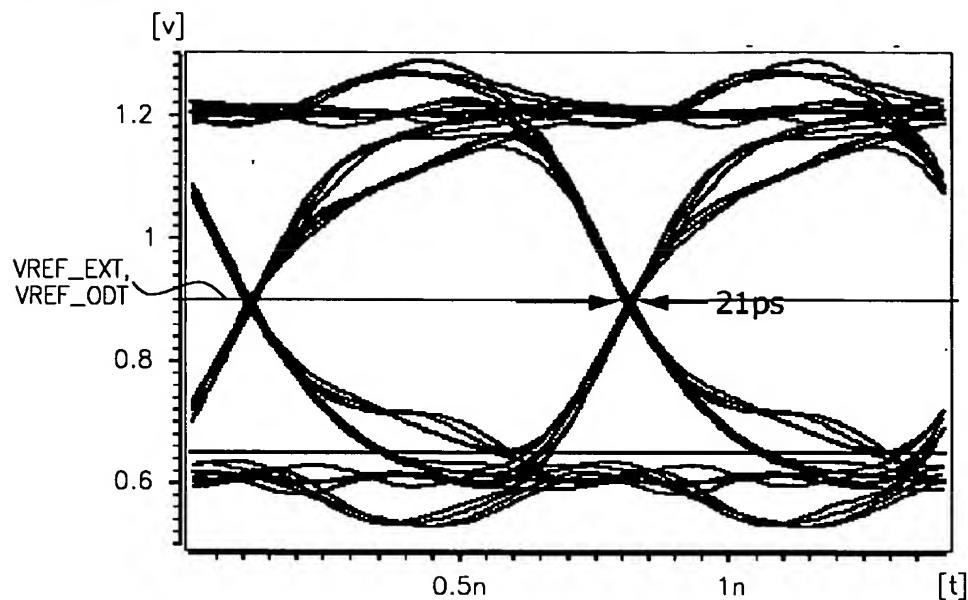
【도 4a】



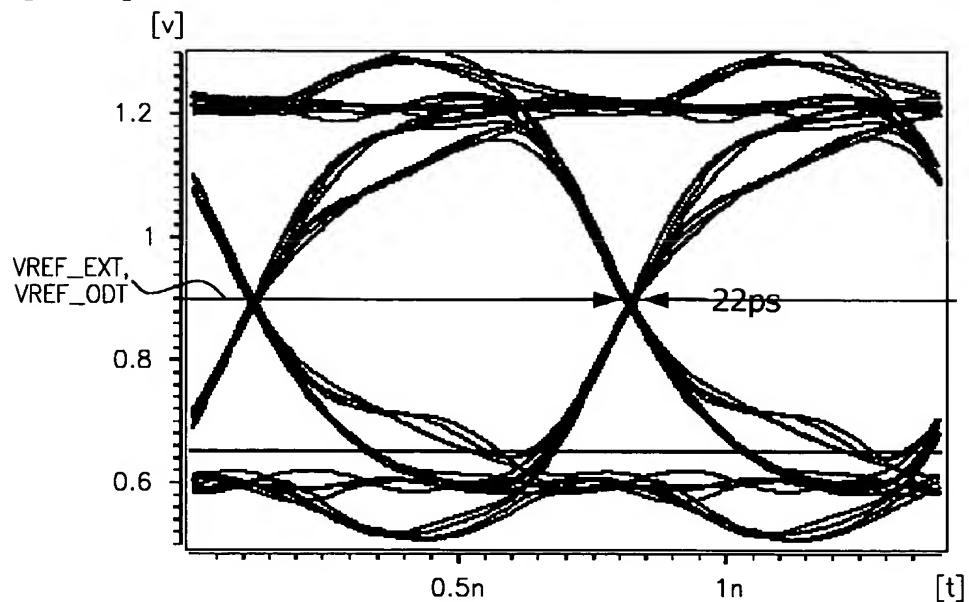
【도 4b】



【도 5a】



【도 5b】

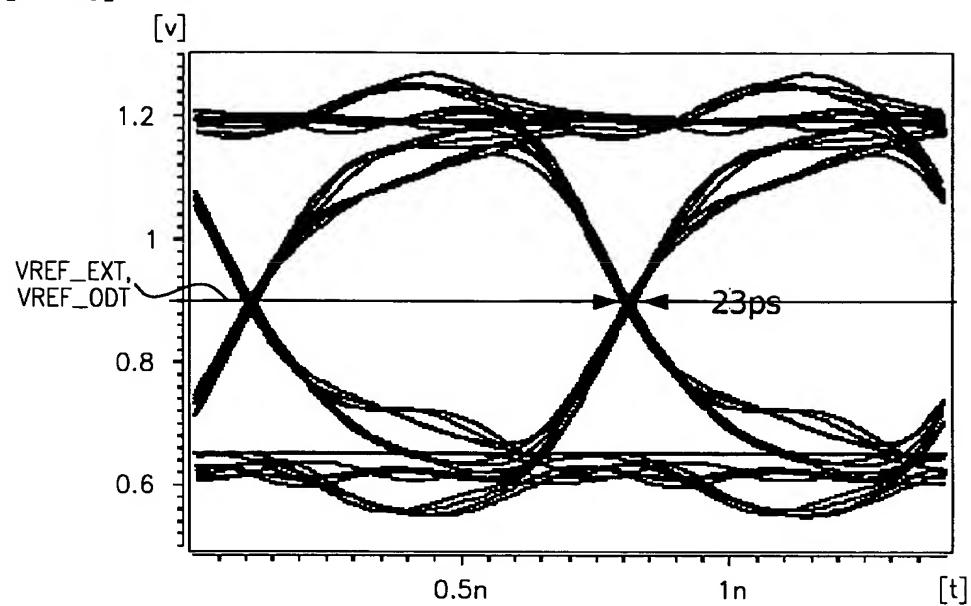




1020030018471

출력 일자: 2003/9/8

【도 5c】



【도 5d】

